

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058669

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

H04B 1/707

H03H 17/02

(21)Application number : 05-198676

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.08.1993

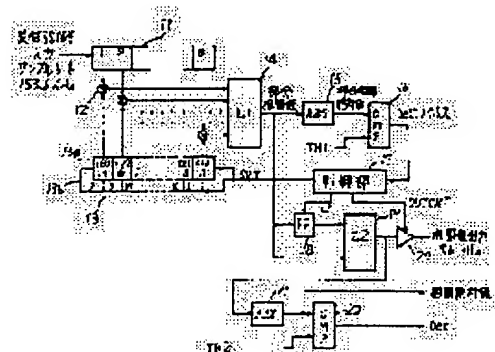
(72)Inventor : NAWA TOSHIHIKO
OOTSUKA YASUAKI
FUNYU YASUTO

(54) DIGITAL MATCHED FILTER

(57)Abstract:

PURPOSE: To make a circuit scale small by successively obtaining the correlation between partial spectrum spreading codes for which spectrum spreading codes are divided and reception spread spectrum signals.

CONSTITUTION: A reception shift register 11 serially inputs the chips of the reception spread spectrum signals and a multiplier 12 multiplies the number of the chips outputted by the respective stages of the register 11 by coefficients for the respective chips. Coefficient registers 13a and 13b respectively hold values corresponding to the first half and second half parts of the spreading codes of the chip and output them as multiplication coefficients based on changeover control signals CNT from a control part 17 to the multiplier 12. An adder 14 obtains the sum of the output of the multiplier 12 and outputs it as a partial correlation coefficient, an absolute value calculation part 15 generates a partial correlation absolute value and a comparison part 16 detects a chip timing when the partial correlation absolute value exceeds a threshold value TH1. The control part 17 performs control so as to let the desired partial spreading codes be held in the registers 13a and 14b at the chip timing and partial correlation coefficient adding means 18-20 fetch the output of the adder 14 and cumulatively add and output the output for one chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-58669

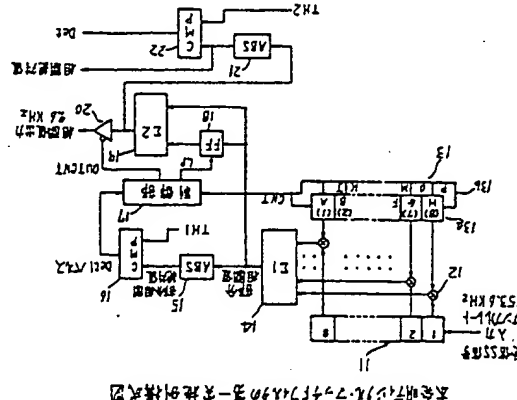
(43)公開日 平成7年(1995)3月3日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	P I	技術表示箇所
H 0 4 B 1/707 H 0 3 H 17/02	P 8842-5 J		H 0 4 J 13/ 00	D
審査請求 未請求 請求項の数 2 O L (全 8 頁)				

(21)出願番号	特願平5-198676	(71)出願人	00005523 富士通株式会社
(22)公開日	平成6年(1993)8月11日	(72)発明者	神奈川県川崎市中原区上小田中1015番地 藤本 利彦
		(72)発明者	大塚 敏樹 神奈川県小山市城東3丁目28番1号 富士通 株式会社内
		(72)発明者	舟生 康人 神奈川県小山市城東3丁目28番1号 富士通 株式会社内
		(70)代理人	井理士 井坂 貞一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

(54) 発明の名称 デジタルマッシュドフィルタ

(57) 要約
[目的] スペクトラム直接接続方式の受信装置等で用いられるデジタルマッシュドフィルタに関し、その回路規模を削減することを目的とする。
[構成] 所定チップ長の被除算を分割してチップ長が略等しい複数の部分被除算とし、受信スペクトラム被除算と被除算のそれぞれとの部分相関値を求め、全ての部分被除算に対する最大の部分相関値の和を該所定チップ長の被除算と受信スペクトラム被除算との相関値として出力するように構成する。



(特許請求の範囲)

(請求項1) 原信号に所定チップ長の被除算を用いてスペクトラム被除算した受信スペクトラム被除算に、逆被除算を施して原信号を取り出すデジタルマッシュドフィルタにおいて、

所定チップ長の被除算を分割してチップ長が略等しい複数の部分被除算とし、受信スペクトラム被除算と被除算の部分被除算のそれぞれとの部分相関値を順次求め、全ての部分被除算に対する最大の部分相関値の和を該所定チップ長の被除算と受信スペクトラム被除算との相関値として出力するようにしたことを特徴とするデジタルマッシュドフィルタ。

(請求項2) 部分被除算のチップ長の大きさをもち受信スペクトラム被除算のチップ長がシリアルに人力する受信ソフトウェアレジスタ手段(11)と、

該受信ソフトウェアレジスタ手段(11)の各段の出力にそれぞれ被除算を乗算する乗算手段(12)と、

各部分被除算を制御信号に基いて切り替えて保持し、保持している被除算を乗算手段に供給する供給手段としての部分被除算保持手段(13a, 13b)と、

前記乗算手段の出力の和を求め、部分相関値として出力する加算手段(14)と、

前記部分相関値の絶対値である部分相関絶対値を生成する絶対値算出手段(15)と、

前記部分相関絶対値を所定チップ長(16)と、

チップ長を抽出する比較手段(16)と、

受信信号の最初のチップタイミミングを基準に、以後の部分被除算と受信スペクトラム被除算との部分相関値が最大になるチップタイミミングを求め、該タイミミングにおいて所望の部分被除算が前記部分被除算保持手段(13a, 13b)に保持されるように制御する制御手段(17)と、

前記チップタイミミングで前記加算手段(14)が出力する部分相関値を抽出し、1チップ長分を累積加算して出力する部分相関値加算手段(18, 19, 20)と、

該部分相関値加算手段(18, 19, 20)と、

チップフィルタ。

(発明の詳細な説明)

(0001)

[従来の利用分野] 本発明は、スペクトラム直接接続方式の受信装置等で用いられるデジタルマッシュドフィルタに関する。

(0002) 情報信号に広帯域の被除算を乗じて送信し、受信側では逆被除算して狭帯域信号に復元する。いわゆるスペクトラム被除算方式は、受信側のC/N(キャリア・ノイズ比)が悪くても、情報信号を抽出できる。従って、CDMA(Code Division Multiple Access: 符号分割多元接続)に有効であり、装置の低価格化が望まれている。逆被除算を行うマッシュドフィルタをデジタル回路で構成し、そのハード規模を削減すること

は、このための有効な手段である。

(0003)

(従来の技術) 図4に本発明のデジタルマッシュドフィルタが適用されるスペクトラム直接接続方式を示す。(0004) 送信側では、送信データの1ビットずつに被除算を乗じる。以下、送信データの値が"1"は"1"に、情報"0"は"1"の逆被除算された信号レベルを有するものとして説明する。乗算結果の出力は、 $(-1) \times (-1) = (+1) \times (+1) = +1$ (即ち情報値として"1")、 $(-1) \times (+1) = (+1) \times (-1) = -1$ (即ち情報値として"0")、また $(-1) \times (-1) = (+1) \times (+1) = +1$ (即ち情報値として"1")、 $(-1) \times (+1) = (+1) \times (-1) = -1$ (即ち情報値として"0")となるので、乗算器は情報値に對する $\pm X - O R$ 演算と同じ動作をする。送信情報ビットが"1"ならば、被除算のビットパターンを反転したものが、また送信情報ビットが"0"のときは、被除算のビットパターンがそのままスペクトラム被除算信号のバスパス(11)として生成される。通常、被除算は特定の位相を持つ擬似ランダム符号(PN符号)を用いられるが、以下の説明では、前記から後記にABCDFFHHIJKLMOPのビット長16 (被除算)の各ビットをチップとすうで以下チップ長とする。情報レート9.6Kbit/sの010001を用いるものとする。情報レート"111010101010001"は、1ビットの情報"0"は、16チップ長の被除算パターンそのままで、また1ビットの情報"1"は、被除算を反転した16ビットのビット列"0000101001101110"に変換される。従って逆被除算データ列は、例えばチップクロックレート (被除算)のビットドレーツが $9.6 \times 16 = 153.6$ Kbit/sのバスパスのスペクトラム被除算(153.6 KHz)に被除される。

(0005) 送信側は、この送信バスパスバンドスペクトラム被除算でキャリアをPSSK変調等により所定に被除した被除算を送信する。これにより、送信側のスペクトラムは送信情報レートで変調した場合に比べて16倍の帯域に広がる。

(0006) 受信側では、受信被除算を所定に被除算した被除算でPSSK復調して、153.6 KHzのアナログ信号である受信バスパスバンドスペクトラム被除算を得る。このアナログの受信バスパスバンドスペクトラム被除算はチップクロック周波数153.6 KHzでサンプリングされてA/D変換され、デジタル化した受信バスパスバンド被除算となる。このデジタル化した受信バスパスバンド被除算は、デジタルマッシュドフィルタに人力する。デジタルマッシュドフィルタは、この入力信号と、内蔵している被除算逆被除算を行い、情報レートに等しい逆被除算9.6 KHzで出力信号を出力する。

(0007) 図5により従来のデジタルマッシュドフィルタの構成と動作を説明する。チップクロック周波数でデジタル化されたバスパスバンドの受信スペクトラム被除算は、チップ長に等しい16段の遅延を持つ受信シフトレ

レジスタ31に順次入力する。一方、偶数レジスタ33は、送受信制御で用いた广播番号と同一パターンでの广播番号「1111010101010010001」を固定値に対応してパラレル出力し、16個の广播番号のチップ長に对应して被けられた16個の乗算器33は、この广播番号と受信シフトレジスタ31の乗算結果であるチップは相当分の受信广播番号とパラレル出力し、乗算結果は、加算器34によって1チップ分、不一致をチップ毎に累積することによりチップの一致、不一致を判定して比較される。比較結果は、加算器34によって16チップ分が常に加算され、自己相関値として出力される。受信結果は全て1となり加算器34からは最大相関値16が、また受信番号パターンが广播番号パターンと一致するときには乗算結果は全て-1なので加算器34からの反転のときは乗算結果は全て1となり加算器34からは最大相関値-16が出力される。そして比較外のチップは、自己の最大相関値-16が出力される。そして比較外のチップは、自己の最大相関値-16が出力される。

(0008) 絶対値費用部35はこの相関係数を正の相関係数に変換する。比較部36はこの相関係数を予め設定されている8〜10の間の四捨と比較し、四捨を超えるチップノイズレベルを検出して検出パルスDET を出力する。

(0009) 検出ハルスDET や中間値の絶対値は、受信機出力時点での搬送波周生長の引き込み用の制御信号や後段の周波数変換部での周波数ミッドハルスとして用いられる。図14において、マッチドフィルタ後の後段のデータ群割部には、検出ハルスDET のチップタイプミッドで中間値の値を算出する。このようにして、搬送波周生の周生長を行う。

(0010) 上記において、搬送波周生のチップ長が長いほど、搬送波周生バタースンの相対的な幅が多くなるので、中間値のチップ長が大きくなり、低C/Nの受信信号を良好に受信できる。また、多元接続する場合にはチャネル数も多くとなることになる。

【0011】
 (發明が解決しようとする課題) 上述の従来のデジタル
 ママチャドファイルタでは、駆動部1のチップ長に等しい深
 さのシフトレジスタとチップ長と同数の乗算器を必要と
 するため、チップ長を小さくすると回路規模が増大する
 という問題があった。

【0012】このように、血液符号のチップ長に3対し、マツチドフィルタの面積積算が可能なことで、更に方マツチ型とされ、血液符号の長期を越える場合には、Lを1つのL S Iで構成できる期間がある場合には、L S Iをカスケード接続してマツチドフィルタを構成して、また、1つのL S Iでマツチドフィルタを構成しようとしたとき、血液符号のチップ長が制限されるという問題があった。

【0013】本発明は、上記問題に鑑みて創出されたもので、デジタルマルチドフィルタの回路規模を削減することを目的とする。

【0014】

[illegible]

(0015)

作用) 時間を求めるためにマツパルタイル内で受信スベクトルと並行するチップを保持する受信ソフトウェアチップおよび時間計算する乗算器の四数を部分積算付のチップで求められなければならない。従って、マツパルタイルの全体の面積が増えることができる。この分割数は、対象とする通信システムのC/N比(キャリア/ノイズ・密度)によって適宜決定することができる。通信システム(C/N)に基づいて分割数を適切にきめることにより、効率的な回路構成ができる。

【0016】分割数を増やすと部分比置換符号のチップ数
が減り、部分相関値の最大値が小さくなるので、CNが
小さい宇宙通信システム等ではせいぜい2分割である
が、CDMA方式の移動通信や無線LAN等では、CN
が大きいほど、部分相関値で所望の隔隔が可能であ
る。分割数を多くとることで、部分相関値を

[0017]

【実施例】以下添付図面により本発明の実施例を説明する。図1は本発明の第一実施例の構成図、図2はその動作を説明するためのタイムチャート、図3は第二実施例の構成図である。なお、全図を通じて同一符号は同一対象物を示す。

【0018】以下の実施例では拡張符号はチップ長が16で、ゆから使うにABCDEFGHIJKLMNOP（幅は1111010100010001）であるとし、これを2分割した8チップずつを部外拡張符号とした場合を説明する。

【0019】第一の実施例は、部分払版付可能給手段として、各部分払版付りを恒定的に保持する複製の係数レジスタを設け、複製供給元を適宜切り替えるようにしたものである。

【0020】図1において、Hは8段の受信シフトレジスタであり、ペーパバンド信号に復調された受信スペクトラム放散信号をチャップリアルコックでサンプリングしたデジタルデータがチャップリアルコックに入力する。このデジタルデータは送信側のチャップの情報“0”、“1”に対応して正、負の値をとる各段に対応して8乗算器で、受信シフトレジスタの各段が出力するチャップの値と、除数とをチップ毎に乗算する。13a、13b は二つの係数レジスタであり、13a は16ビットの放散信号の前半部分の8チップ、即ちALANDEFIN “10010001”を、また13b は後半部分の8チップ、即ちALANDEFIN “10010001”に対して逆する値を、それぞれ提供しており、制御部17から与えられた乗算器12に供給されて何れか一方の上記、上記放散信号値との積乗演算に使用される。また“1”が-1の属性を付与するレベルに対応するものとする。例えば、切替制御信号“0”の時、これは、後半の部分放散信号“10010001”に対応する“-1,-1,-1,-1,-1,-1,-1,-1”が係数レジスタ13a から、“1”のときは前半の“10010001”に対応する“-1,-1,-1,-1,-1,-1,-1,-1”が係数レジスタ13b から、それぞれ乗算係数として各乗算器に供給される。

[illegible]

を、朝刊部17からのラッパルスIPのタイミグで取込
み、保持・出力する。

【0 0 2 2】17は制御部で、検出ハルスDETAが入力し、
て、各相の制御出力を生成する。切替制御出力DETは、
動作開始直後に“1”となり、最初の検出ハルスDETAが入
力するまで“1”となり、次の検出ハルスDETAが入力する
まで“0”となる。以後検出ハルスDETAが入力する度に“1”
“0”を交互に出力する。この切替制御出力により、DETH
ハルスが生成する度に、乗算器に供給される乗算係数は
後半分の部分比散背角と前半分の部分比散背角とが交互に切
り替わることになる。また、制御部17は最初の検出ハル
スの次の検出ハルスから1検出ハルスおきに、部分比調
整保持レジスタ18にラッチハルスLAを供給し、二つのラ
ッチハルスの中間の検出ハルスタイミングでは制御部
17がハルスOUTCを出力する。19は加算器で、部分比調整保
持ハルスOUTCと出力20との和を算出し、部分比調整保
持レジスタ18の出力と、第一の加算器14の出力とを常時
加算して出力している。20は例えば3ステータートカ
ーとならなる出力ゲートで、出力制御ハルスOUTCが印加され
たときのみ、第一の加算器19の出力を、相間値として後
段に出力する。

【0 0 2 3】21は第2の機軸積算部で、常時入力されて
いる第2の加算器19からの加算結果を正のビットに付与し換
えている出力である。22は比較回路で、1チップのバツタ
における最大4回分の1/2以上の値を検出する第2の
閾値12、例えば数回8が外部から設定されており、入
力力がこの閾値を超えるチップタイミングで検出バハルス脈
を出力する。

【0024】次に、図2を共に用いて、動作を説明する。送信される原信号がデータ“0”の連続であり、上記の如く、送信元側において、送信元側の記憶装置より16チップに拡張して送信されるものとする。

【025】図2においては、時間軸は上下方向であり、各チャップクロックタイミング毎の上段は受信シフトレジスタに保持されている受信シフトレジスタが下段は乗数レジスタが供給する乗数に

である。まず初期アドレスは、アドレスレジスタ13から拡張レジスタ17の出力が「0」であり、拡張レジスタ番号パターン「011KANOP」「10010001」に対しては、乗算前値は「1,1,1,1,1,1,1」が供給され、これに対する乗算後値は1チップずつ受信レジスタレジスタタタに入力し、拡張レジスタの後半部に相当する8チップ分がタタに入力した8チップクロックタイミング0で、「00110001」に入力したチップのバラバラ出力は、「10010001」に相当する「1,1,1,1,1,1,1,1」となるので、8割の乗算器の出力は全て「1」となり、部分相関値は8で最大となる。これにより最初の検出チップアドレス0E17は、新野田77は動作を開始する。最初の検出チップアドレス11により、新野田77は切り替わり検出がCNTを「1」とするのにより、乗算レジスタ13aに拡張供給元が切り替わり、前半の部分拡張レジスタABCE0E17は切り替わり検出がCNTを「1」とするのにより、乗算レジスタ13aに拡張供給元が切り替わり、前半

1-1, 1-1, 1-1, 1-1"が乗算器に供給される。最初の切替後の8チップクロック後のタイムスロット9で、受信シフトレジスタには、次の受信シフトレジスタ駆動およびその増分は入力保持されるので、呼び部分割増およびその増分は最大となり、2つめの検出バースDETE1-2が発生する。これにより、それのときの検出バースaが乗算器増分レジスタ18に格納されるところにも、切替後の増分が"0"となつて、乗算器数は後半の部分駆動周期に切り替はる。これにより、後半の部分駆動で受信バースを受けこむことになり、切替後8チップクロック目のチップ増分ミシンク15で呼び部分割増は最大となる。このとき、前半の最大部分増分増分aとこの後半の最大部分増分増分bとが、第二の増分レジスタ9で計算された後、マツチドフィードバックとして後段に出力される。所定に復号されてデータが取り出される。またその増分が第二の増分レジスタを越えることを比較器22が検出するので、1チップバターン4内で一回の検出バースDETEと最大増分増分aが出力される。

【0026】送信情報が“1”のときは、受信情報ハタ川村の符号は反転しているので、絶対値を取る前の相関出力の符号が“1”であり、相関値は絶対値を取っていることで正である。相関出力の正、負はバイナリのタイプミングで識別することにより送信情報中の“1”“0”が検出される。また相関値は、受信情報誤差補償部を非用行に実施するためのローカル発振器の制御等に用いられる。検出バイナリはデータパケットの識別や、チップクロックの発生のためのタイプミング等に用いられる。

【0027】図3は、第二の実施例で、部分並置符号保持手段の係数レジスタにシフトレジスタを用いた例を示す。係数レジスタは、8チップ長の部分並置符号を保持する現用係数レジスタ23aと、残りの8チップ長を保持する待用係数レジスタ23bとからなる。16チップ長の1チップバターン4個部分の並置符号バターンが両者に別かれて保持されており、実数係数は現用係数レジスタ23aから乗算器32に供給される。一方の係数保持レジスタの最終段からの出力は他方の係数保持レジスタの入力に接続され、制御部17からのチップバタンのロックに同期したシフトバルスSPにより、反時計方向に1チップ分ずつシフトする。従って、現用係数レジスタ23aは、並置符号バターンの遅延した8チップ分に対応する係数を出し、1チップクロック毎に方位方向に1チップ分ずつシフトする。そして制御部17は、最初の輸出バルスDETが入力するとチップクロックの4周後の輸出バルスSPを出力する。初期状態では、現用レジスタ23aには、並置符号の後半部分の並置符号1, 4, 5, 8, 9, 10, 11, 12の8チップ分のバターンが最後位チップ1がシフトレジスタの初段と対応するように保持され、待用係数レジスタ23bには前半部分の並置符号8, 9, 10, 11, 12の8チップ分のバターンが格納されている。この時点ではシフトバルスを生じしていないので、現用レジスタは

23a の出力力は固定している。受信ソフトウェアスタタに進入する受信部分レジェンダ出力力が最大となり、そのパラレル出力力がその後半部分と一致したチップタイミングで加算器出力からその部分相関値は最大となる。そのときの絶対出力力は比較器16の閾値を超えるので最初の検出パルスDET1が出力される。これにより、制御部17はソフトパルス23bの供給を開始し、現用原級レジェンダの内容は、1チップずつ時計方向に方向し、8チップクロック目で前半の部分相関値出力に対応する位置を出力する。この時受信部分相関値出力には、次の受信部分レジェンダの前半部分が出力されているので、そのチップクロックタイミングで後半の部分相関値は最大となる。制御部17は、最初の検出パルスDET1を基準にして、第一検測周と同様のチップタイミングを生じているので、前半の部分相関値のピークが部分相関レジェンダに保持される。次の8チップクロック目で次の検出部分の前半の1, 1, 1, 1, 1, 1, 1, 1と入力値レジェンダとの相関値が3つになるので、後半の最大相関値bが閾値を超える。このとき、部分相関レジェンダが保持する前半の最大相関値aとこの加算結果が後段のデータ検測部18に出力される。またこの相関値の絶対値が第二の閾値を超え

【0028】以上の実施例は、チップ長16の乱数符号を8チップ長の部分乱数符号に2分割した例について説明した。この乱数符号のチップ長が奇数で、同一チップ長の部分乱数符号に2分割できない場合には、大きいチップ長に合わせ受用ソフトウェアレジスタと乗算器を設ければよい。

【0020】また、分割数を3以上にすると、分割数に对应的な国数の部分相関値レジスタを設けて、制御部で適切なタイミングでそれぞれに各部の記憶装置に記憶されている部分相関値の最大値を保持させ、1ビット符号反転部に通し、同時にこの合計相関値を出力するようにする。あるいは、分割数のチップ長単位に順次求めた3個以上の最大部分相関値をその記憶装置に格算することによって、全チップ長に對する最大相関値を1個目の最大値以上に構成してもよい。

【0030】このチップ分割数は、通信システムのCN
とや、所望チャネル数、拡散符号長等の組合せに応じ
て、適度の特性が得られるように適宜定めることができ
る。

[0031]

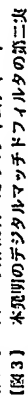
【発明の効果】以上説明した如く本発明によれば、並列項目を分割した部分記憶符号と受信スペクトラム拡張回路との相関を順次求めるので、印刷装置のための装訂給字と受信記憶符号を保持するデジタルレジスタの数を削減することができ、デジタルマッチングチップの面積を小さく回路規模で実現できるという効果がある。

【図面の簡単な説明】

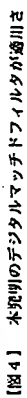
【図1】 本発明のデジタルマルチドフィルタの第一実



【図2】 図1の動作説明のためのタイムチャート

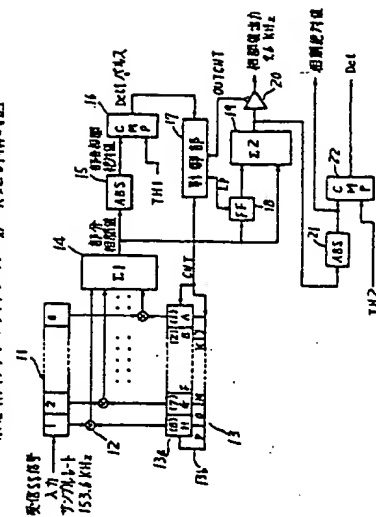


高岡樹成院



【例 1】

太発明デジナル・フットボールの第一実施例構成図



[34]

木交明の第二実施例構八図

